

	Normes Européennes de Modélisme Signal de commande numérique DCC Paquets de données de base	NEM 671 Page 1 de 5
---	---	---

Norme Impérative

Edition 2014
(remplace l'édition 2007)

Remarque 1 : Le contenu de la NEM 671 est conforme au Standard NMRA S 9.2 (Edition de Juillet 2004). Cette version est la référence pour les tests de conformité.
NEM 671 follows the NMRA-Standard S 9.2. This version is the basis for conformance tests.

Remarque 2 : Cette norme n'assure pas une compatibilité descendante avec les anciens décodeurs avec 14 pas de vitesse et une fonction additionnelle, ainsi qu'avec les anciens décodeurs dont l'horloge interne ne serait pas compatible avec le facteur de forme du signal défini ici.

Remarque 3 : Les spécifications techniques détaillées et les bases pour les tests de conformité sont à extraire des normes suivantes de la RailCommunity (www.railcommunity.org) :

- RCN-210 DCC Transmission du bit
- RCN-211 DCC Structure d'un paquet, et structure de base de tous les paquets et champs d'adresses
- RCN-212 DCC Commande de l'exploitation des décodeurs dans les véhicules, et commandes des décodeurs des véhicules
- RCN-213 DCC Commandes pour l'exploitation des décodeurs d'accessoires
- RCN-214 DCC Commandes de configuration

1. But de la norme

Cette norme décrit les paquets de données élémentaires (paquets de données de base) qui doivent être émis par une centrale DCC.

2. Définitions

- Un paquet de données DCC est une suite définie de bits qui sont spécifiés comme signal de voie dans la NEM 670.
- Un paquet de données DCC de base se compose d'un nombre minimum de bits et de groupes de bits, appelés en raccourci paquets de données.
- Un groupe de bits composé de 8 bits est appelé octet. Chaque bit d'un octet a une valeur qui est déterminée en fonction de sa position dans le groupe, le premier bit à partir de la gauche a la valeur la plus grande, il se nomme MSB (most significant bit). Les bits d'un octet sont numérotés de gauche à droite, de 7 à 0. Le bit le plus à droite est appelé LSB (least significant bit).
- Les caractères suivants sont utilisés pour indiquer la valeur d'un bit :
 - 0** Valeur 0
 - 1** Valeur 1
 - A** Bit d'adresse
 - D** Bit de donnée (ici, non significatif)
 - P** Bit de contrôle – les huit bits du dernier octet d'un paquet
 - x** Bit dont la valeur dépend du type de paquet ou de la commande et qui ne peut être indiqué plus précisément.

3. Format général d'un paquet de données DCC

La description suivante des éléments d'un paquet de données en bits et octets définit un paquet de données valides servant à activer les décodeurs.¹⁾

Les séquences 4 et 5 décrites ci-après peuvent être répétées plusieurs fois mais chaque fois conjointement.

¹⁾ Les décodeurs qui reconnaissent aussi d'autres formats en plus du standard DCC sont autorisés (voir § 6.).

Les paquets de données DCC de base se composent des séquences suivantes :

1 – Bits de Synchronisation :

La reconnaissance d'un paquet de données DCC et la synchronisation sur la limite d'octets s'effectue par l'émission d'une série de bits 1.
 Une centrale doit émettre au minimum 16 bits de synchronisation.
 Un décodeur doit pouvoir recevoir un paquet avec au moins 12 bits de synchronisation.
 Un décodeur doit considérer comme invalide un paquet avec moins de 10 bits de synchronisation.

2 – Bit Start :

Le bit Start est un bit « 0 », qui suit les bits de synchronisation. Le bit Start termine la séquence de synchronisation et indique au décodeur que les bits suivants appartiennent au premier octet d'un paquet.

3 – Premier Octet :

Le premier octet du paquet de données est, en mode d'exploitation, un octet d'adresse et, en mode de programmation, un octet de commande.

4 – Bit Start de l'octet de données :

Ce bit « 0 » précède l'octet de données qui le suit.

5 – Octet de données :

Les 8 bits qui forment l'octet de données sont utilisés comme adresses, instructions (ordres d'exécution), données ou comme octet de contrôle pour la détection des erreurs de transmission. Le dernier octet d'un paquet est toujours un octet de contrôle.

6 – Bit Stop :

Le bit stop est un bit « 1 » il signale la fin de la transmission du paquet.
 Si le paquet suivant vient immédiatement, ce bit stop peut être compté comme faisant partie des bits de synchronisation du paquet suivant.
 Si le paquet est suivi d'un paquet d'un autre format ou d'une interruption, la suite de bits DCC doit se poursuivre pendant au moins 26 µs, c'est-à-dire qu'il ne doit se produire durant ce temps ni changement de polarité ni interruption de l'alimentation.

L'octet de contrôle est généré en effectuant un « OU exclusif (XOR) » bit à bit de tous les octets le précédant. Il est possible de le vérifier en effectuant le XOR de tous les octets y compris l'octet de contrôle : le résultat doit alors être zéro. Les décodeurs doivent effectuer ce contrôle et ignorer un paquet reconnu erroné.

Un paquet DCC contient au minimum trois octets. Ainsi obtient-on, pour un paquet de trois octets, la suite de bits :

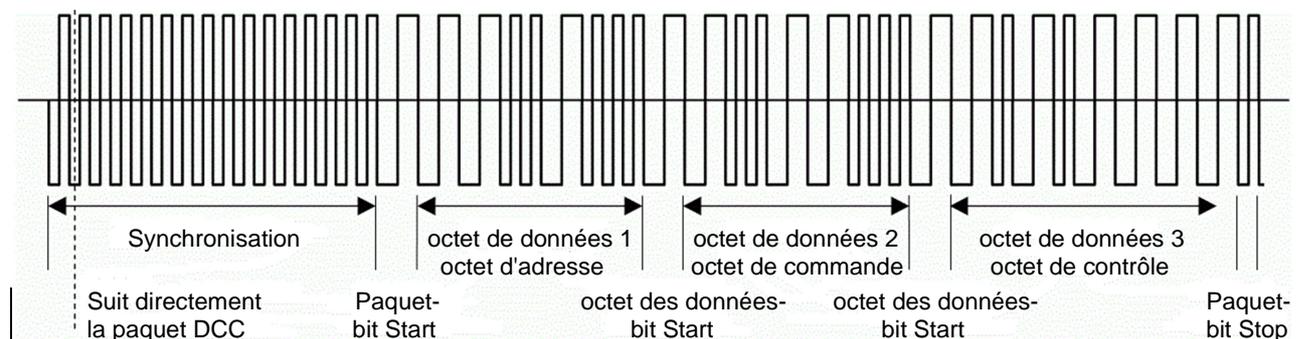
1111111111111111 0 xxxxxxxx 0 xxxxxxxx 0 P P P P P P P P 1

Bits de synchro & Start Octet 1 Octet 2 Octet 3 = Octet de contrôle et bit de fin de paquet

Dans l'exemple d'un ordre de base concernant la vitesse (niveau 11) et le sens de marche vers l'avant pour l'adresse (codée sur 7 bits) 55, la suite de bits serait :

1111111111111111 0 00110111 0 01100111 0 01010000 1

Fig. 1 : Exemple d'un paquet de base de données DCC composé de 3 octets (1 octet d'adressage, 1 octet de commande, 1 octet de contrôle) avec le code d'adresse 55 et un ordre de marche en avant avec un palier de vitesse au niveau 14. Les 16 bits de synchronisation minimum qui doivent être émis sont également représentés.



La suite de bits pour un paquet contenant six octets est :

{Bits de synchro} 0 xxxxxxxx 0 xxxxxxxx 0 xxxxxxxx 0 xxxxxxxx 0 xxxxxxxx 0 P P P P P P P P 1

4. Format des paquets de données DCC de base

Cette norme considère, pour les éléments compatibles DCC, que chaque centrale encode, sous forme de paquets de base DCC conformes, les commandes de l'utilisateur et que chaque décodeur est capable de comprendre ces paquets de base et de les traduire en signaux de commande électriques appropriés au matériel moteur. Ces paquets de base constituent ainsi un minimum permettant la compréhension réciproque et le fonctionnement en commun de systèmes DCC différents. Les paquets de données plus complexes qui supportent différents types de décodeurs, des fonctions additionnelles, un adressage étendu ou des pas de vitesse plus nombreux ne sont pas décrits dans cette norme.

4.1. Paquets de données DCC de base pour le réglage de la vitesse et du sens de marche des motrices

Format du paquet de données DCC de base :

	1111111111111111	0	0AAAAAAA	0	01DCSSSS	0	PPPPPPP	1
	Synchronisation		Octet de données 1		Octet de données 2		Octet de données 3	

Octet de données 1 - Octet d'adresse : L'octet d'adresse transmet l'adresse du récepteur prévu pour recevoir les données.

Le premier octet du paquet au format DCC comprend dans ce mode d'exploitation l'adresse primaire. Pour permettre l'exploitation de plusieurs types de décodeurs, cette adresse primaire est subdivisée en blocs fixes de la manière suivante.

- Adresse 0000-0000 (0) :
Adresse de diffusion générale des informations à tous les décodeurs de véhicules.
- Adresses de 0000-0001 à 0111-1111 incluse (1 à 127) :
Décodeur pour véhicule avec adresse sur 7 bits 0AAA-AAAA
- Adresses de 1000-0000 à 1011-1111 incluse (128 à 191) :
Décodeur pour accessoires avec adresse simple sur 11 bits 10AA-AAAA 1AAA-DAAR et
Décodeur pour accessoires avec adresse étendue à 11 bits 10AA-AAAA 0AAA-0AA1
- Adresses 1100-0000 à 1110-0111 incluse (192 à 231) :
Décodeur pour véhicule avec adresse sur 14 bits 11AA-AAAA AAAA-AAAA
- Adresses 1110-1000 à 1111-1110 incluse (232 à 254) :
Réservées aux utilisations futures
- Adresse 1111-1111 (255):
Adresse neutre ou aussi paquet de veille

Les ordres à l'adresse de diffusion générale 0000-0000 doivent être exécutés par tous les décodeurs des véhicules. Le paquet de remise à zéro – il s'agit d'un ordre de neutralisation 0000-0000 (voir paragraphe 4.2) envoyé à l'adresse de diffusion générale 0000-0000 – doit également être exécuté par tous les décodeurs d'accessoires.

Octet de données 2 – Octet de commande : L'octet de commande achemine les informations de vitesse et de sens de marche à la locomotive sélectionnée.

Les bits 7 et 6 contiennent la séquence 01 qui signale l'octet de donnée comme étant un octet de commande.²⁾

Le bit 5 (D) définit le sens de marche, si la valeur est « 1 », la locomotive avance³⁾, si la valeur est « 0 », la locomotive recule.

Le bit 4 (C) a une fonction spéciale et est généralement le bit de poids faible (LSB) pour la définition de la commande de vitesse.

Les bits 3 – 0 (SSSS) définissent avec le bit 4, la vitesse de marche en code binaire. Le tableau 1 décrit la relation entre le code binaire et la graduation.

Octet de données 3 – Octet de contrôle : L'octet de contrôle permet au décodeur de déceler les erreurs de transmission.

²⁾ Les autres configurations possibles des bits 6 et 7 sont réservées pour d'autres types de commandes.

³⁾ Marche en avant, signifie que la motrice se déplace, poste de conduite 1 en avant.

Tableau 1 : Relation entre le codage des bits S 3-0, C et la graduation⁴⁾

S ₃ S ₂ S ₁ S ₀ C	graduation	S ₃ S ₂ S ₁ S ₀ C	graduation	S ₃ S ₂ S ₁ S ₀ C	graduation	S ₃ S ₂ S ₁ S ₀ C	graduation
0 0 0 0 0	Stop	0 1 0 0 0	5	1 0 0 0 0	13	1 1 0 0 0	21
0 0 0 0 1	Stop**	0 1 0 0 1	6	1 0 0 0 1	14	1 1 0 0 1	22
0 0 0 1 0	EStop*	0 1 0 1 0	7	1 0 0 1 0	15	1 1 0 1 0	23
0 0 0 1 1	EStop**	0 1 0 1 1	8	1 0 0 1 1	16	1 1 0 1 1	24
0 0 1 0 0	1	0 1 1 0 0	9	1 0 1 0 0	17	1 1 1 0 0	25
0 0 1 0 1	2	0 1 1 0 1	10	1 0 1 0 1	18	1 1 1 0 1	26
0 0 1 1 0	3	0 1 1 1 0	11	1 0 1 1 0	19	1 1 1 1 0	27
0 0 1 1 1	4	0 1 1 1 1	12	1 0 1 1 1	20	1 1 1 1 1	28

* Arrêt d'urgence (emergency stop), le décodeur doit arrêter la motrice au plus vite!

** Le bit de direction (bit 5) peut être ignoré pour les fonctions dépendant de la direction (optionnel).

4.2 Paquet de données DCC de base pour la remise à zéro générale des décodeurs

Format des données DCC de base:

	1111111111111111	0	00000000	0	00000000	0	00000000	1
	Synchronisation		Octet de données 1		Octet de données 2		Octet de données 3	(octet de contrôle)

Le paquet de données DCC pour la remise à zéro générale des décodeurs est constitué de trois octets dont tous les bits sont à zéro. Lorsqu'un décodeur reçoit ce paquet de données, il doit effacer toutes ses mémoires non permanentes (y compris les données de vitesse et de sens de marche) et revenir à son état normal de mise sous-tension. Si la motrice est en mouvement, le décodeur doit lui appliquer un arrêt d'urgence.

Dans les 20 millisecondes qui suivent un paquet de remise à zéro générale, une station de commande ne doit pas envoyer un paquet de données avec une adresse comprise entre 01100100 (adresse 100) et 01111111 (adresse 127) bornes incluses, sauf si elle souhaite passer en mode « Service ». ⁵⁾

4.3 Paquet de données DCC de base vide

Format du paquet de données DCC de base:

	1111111111111111	0	11111111	0	00000000	0	11111111	1
	Synchronisation		Octet de données 1		Octet de données 2		Octet de données 3	(octet de contrôle)

Le paquet de données dont le premier et le troisième octet contiennent 8 bits « 1 » et le deuxième octet contient 8 bits « 0 » est un paquet de données vide.

Les décodeurs qui reçoivent ce paquet de données ne doivent pas déclencher de nouvelles actions et se comporter comme si ils avaient reçu un paquet de données adressé à un autre décodeur.

4.4 Paquet de données DCC de base - signal d'arrêt général

Format du paquet de données DCC de base:

	1111111111111111	0	00000000	0	01DC000S	0	PPPPPPP	1
	Synchronisation		Octet de données 1		Octet de données 2		Octet de données 3	(octet de contrôle)

⁴⁾ Le cran de vitesse se déduit de la valeur binaire en en soustrayant 3.

⁵⁾ La configuration d'un décodeur peut être modifiée immédiatement après l'émission d'un message de remise à zéro.

Le paquet de données dont le premier octet contient 8 bits « 0 », dont le deuxième octet contient un ordre d'arrêt spécifique et dont le troisième octet contient un octet de contrôle identique à l'octet 2, est le paquet de données « signal d'arrêt général » "(vitesse = 0)".

Lorsque le bit 0 de l'octet de données 2 (bit S) contient un « 0 », les décodeurs qui contrôlent une locomotive doivent entamer la procédure d'arrêt de celle-ci (ralentissement puis arrêt fonction de l'inertie programmée dans le décodeur).

Si le bit S est un « 1 », les décodeurs doivent arrêter immédiatement les locomotives en coupant l'alimentation du moteur.

5. Répétition des paquets de données DCC de base

5.1 Espacement des paquets de données

Les paquets de données émis vers les décodeurs doivent être répétés aussi souvent que possible, car un paquet peut être perdu en raison des perturbations dues à la mauvaise conductibilité électrique entre les rails et les roues ou les pantographes. La transmission du signal de voie peut être interrompue entre le bit de fin d'un paquet et les bits de synchronisation du paquet suivant afin de permettre l'émission d'un autre type de signal de commande (bidirectionnalité). Un décodeur doit réagir aux paquets de données qui lui sont adressés lorsque l'intervalle entre le dernier bit du premier paquet et le premier bit du deuxième paquet est au minimum de 5 millisecondes.⁶⁾

Si un décodeur reçoit une séquence de bits avec un « bit start » manquant ou invalide ou un « bit stop » manquant ou invalide ou un « octet de contrôle » non-conforme, il doit reconnaître la « séquence de synchronisation » valide suivante comme le début d'un nouveau paquet.

Un autre type de signal de commande ne peut être transmis sur la voie qu'entre le bit stop d'un paquet et le début de la séquence de synchronisation du paquet suivant.

Intervalle minimum entre 2 paquets de données : $t_D > 5 \text{ ms}$ intervalle de temps

5.2 Fréquence d'émission des paquets de données

Il doit être possible de configurer une centrale de commande DCC afin qu'elle émette un paquet de données au moins toutes les 30 millisecondes, temps mesuré entre les bits Start des paquets.

Temps de répétition entre les paquets de données DCC : $t_R \leq 30 \text{ ms}$ temps de répétition

6. Comportement des décodeurs lors de la conversion automatique de différents standards

Il est demandé aux fabricants proposant des décodeurs capables d'une conversion automatique entre différents types de formats de commande, que cette capacité puisse être inhibée de telle façon que les décodeurs réagissent exclusivement aux signaux de commande DCC.

Lorsque la fonction « conversion automatique » est activée les décodeurs doivent rester dans le mode DCC tant que l'intervalle de temps entre les bits « start » de deux paquets consécutifs est inférieur ou égal à 30 millisecondes. Si la fonction « conversion automatique » est désactivée, les décodeurs doivent rester en mode DCC, quel que soit l'intervalle de temps entre les bits « start » de deux paquets consécutifs.⁷⁾

Temps d'attente avant passage d'un décodeur numérique dans un mode non DCC :

$$t_w \geq 30 \text{ ms} \text{ temps d'attente}$$

⁶⁾ Toutes les précautions doivent être prises pour ne pas émettre deux paquets de données espacés de moins de 5 millisecondes à une même adresse comprise entre 112 (binaire 0111 10000) et 127 (011 11111). Les décodeurs plus anciens pourraient interpréter ces paquets de données en mode de service.

⁷⁾ Certains décodeurs DCC plus anciens doivent recevoir un paquet de données DCC valide au moins toutes les 30 millisecondes pour empêcher une commutation en mode analogique. Un pas de répétition plus long que 30 millisecondes peut amener une dégradation des performances des décodeurs.